

Kapitel 7

Systemstrukturen und Busse

7.3 Systemaufbau

■ Organisation des Hauptspeichers

- lineare Liste von Speicherworten
- Aufgebaut aus Speicherbausteinen
 - Zugriffszeit hängt allein von der Art der verwendeten Speicherbausteine ab
 - Die Breite des Arbeitsspeichers entspricht i.A. der Breite des Datenbusses (8, 16, 32, 64 Bit)
 - Dies entspricht der maximalen Datenmenge, auf die in einem Buszyklus zugegriffen werden kann

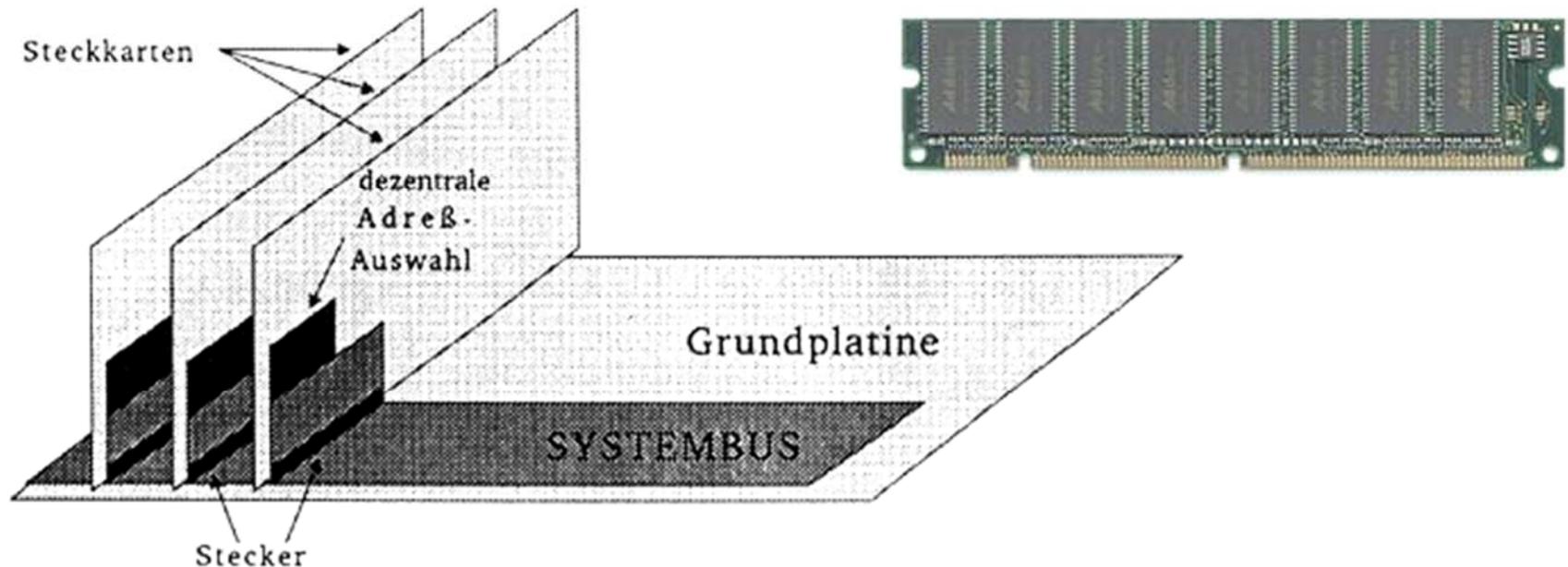
- Die maximale Kapazität des Hauptspeichers ist durch die Breite des Adressbusses gegeben
 - 8-Bit Prozessoren mit 16-Bit Adressbus: 64 kBytes
 - 16-Bit Prozessoren mit 24-Bit Adressbus: 16 MBytes
 - 32-Bit Prozessoren mit 32-Bit Adressbus: 4 GBytes
 - 64-Bit Prozessoren mit 64-Bit Adressbus: 16 EBytes

7.3 Systemaufbau

■ Organisation des Hauptspeichers

■ Modularer Speicheraufbau

- Arbeitsspeicher wird oft auf mehrere Steckkarten verteilt, die über eine Grundplatte mit dem Systembus verbunden sind → Erweiterbarkeit

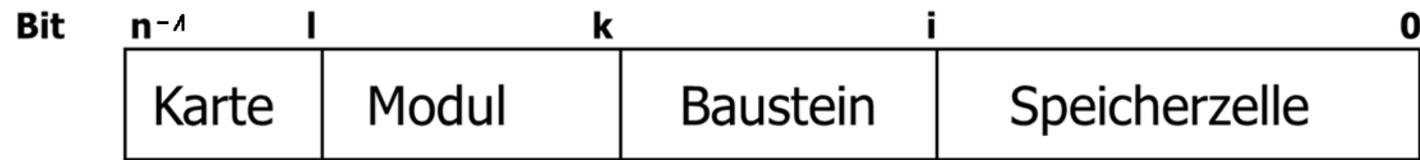


7.3 Systemaufbau

■ Organisation des Hauptspeichers

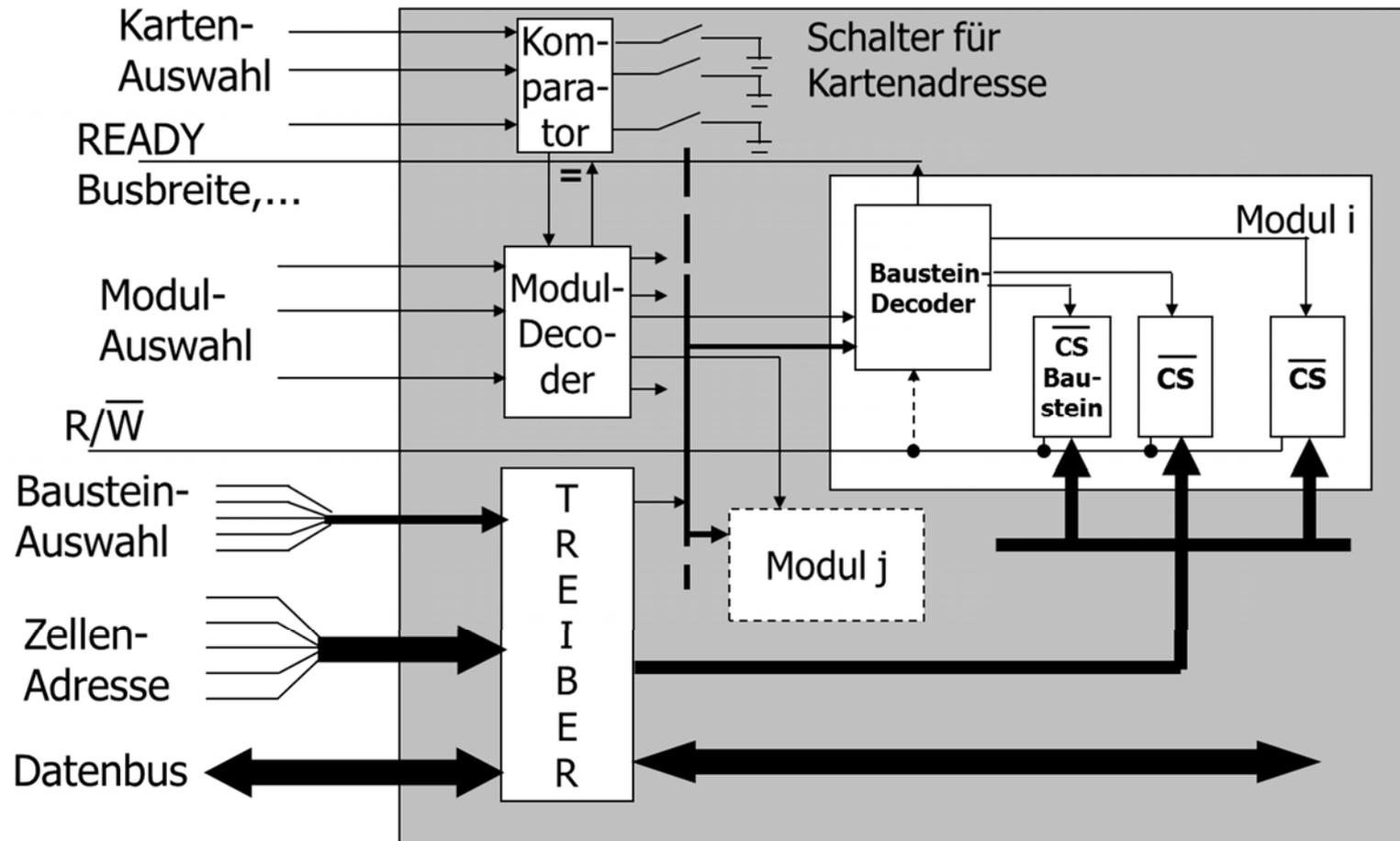
■ Modularer Speicheraufbau

- Die Unterteilung der Bits einer Speicheradresse zur Auswahl einer Speicherzelle ergibt sich dann wie folgt:



7.3 Systemaufbau

- Organisation des Hauptspeichers
 - Typischer Aufbau einer Steckkarte



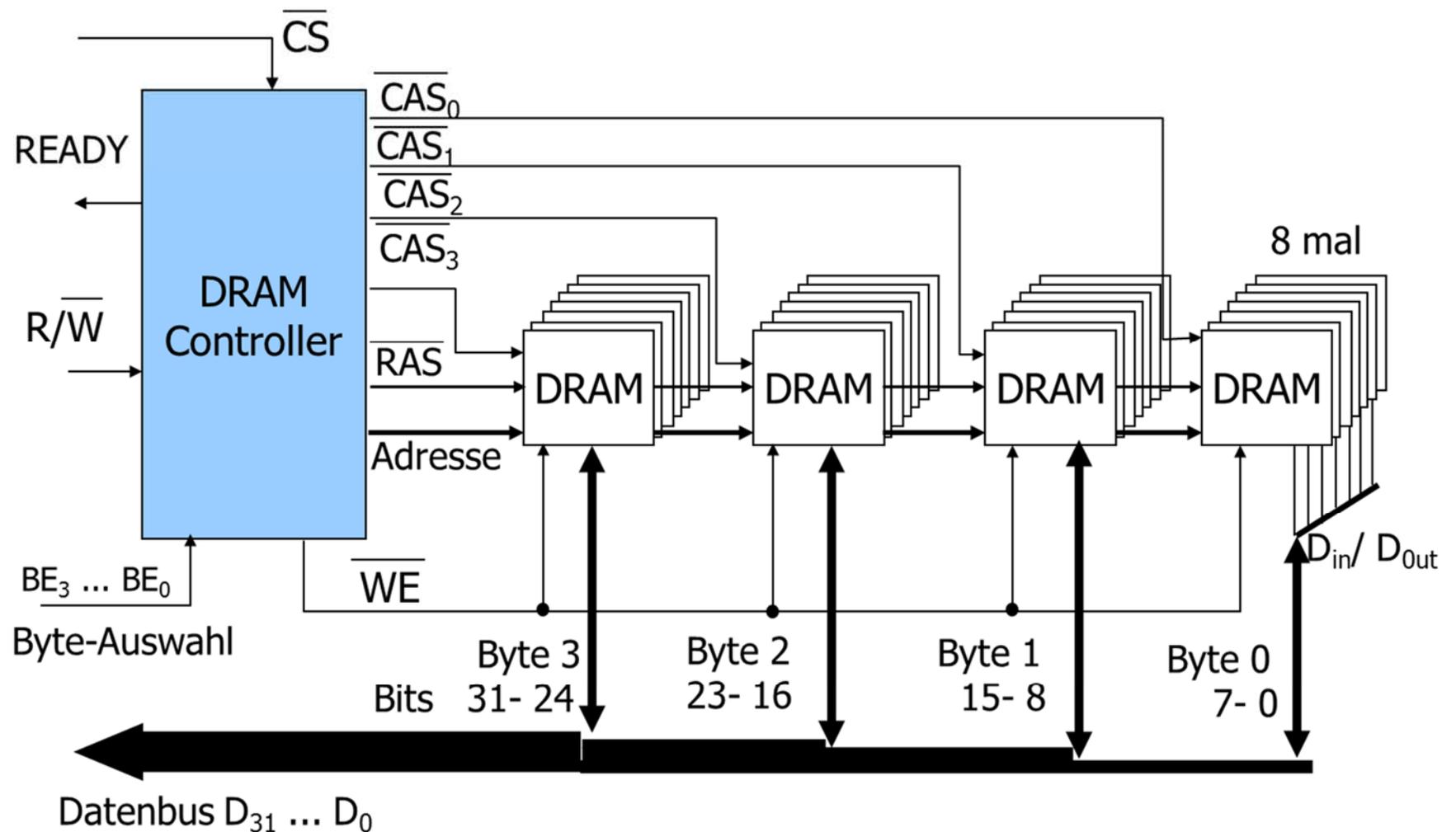
7.3 Systemaufbau

■ Organisation des Hauptspeichers

- Typischer Aufbau einer Steckkarte
 - Kartenadresse meist über Schalter (DIP-Schalter) einstellbar
 - Der Vergleich der Adressbits erfolgt über einen Komparator
 - Modulauswahl (z. B. SIMMs, DIMMs) über einen Moduldekoder
 - Bausteinauswahl über einen Bausteindekoder auf dem Speichermodul

7.3 Systemaufbau

- Organisation des Hauptspeichers
 - Beispiel eines Speichermoduls



7.3 Systemaufbau

■ Organisation des Hauptspeichers

■ Beispiel eines Speichermoduls

- 32 Bit breites Speichermodul, Speicher in 4 Bänke zu je acht $n \times 1$ dynamischen Speicherbausteinen organisiert
- DRAM-Controller übernimmt Byte- und Bausteinauswahl, Read/Write-Steuerung, Refresh sowie ggf. Wartezyklen (READY-Signal)

7.3 Systemaufbau

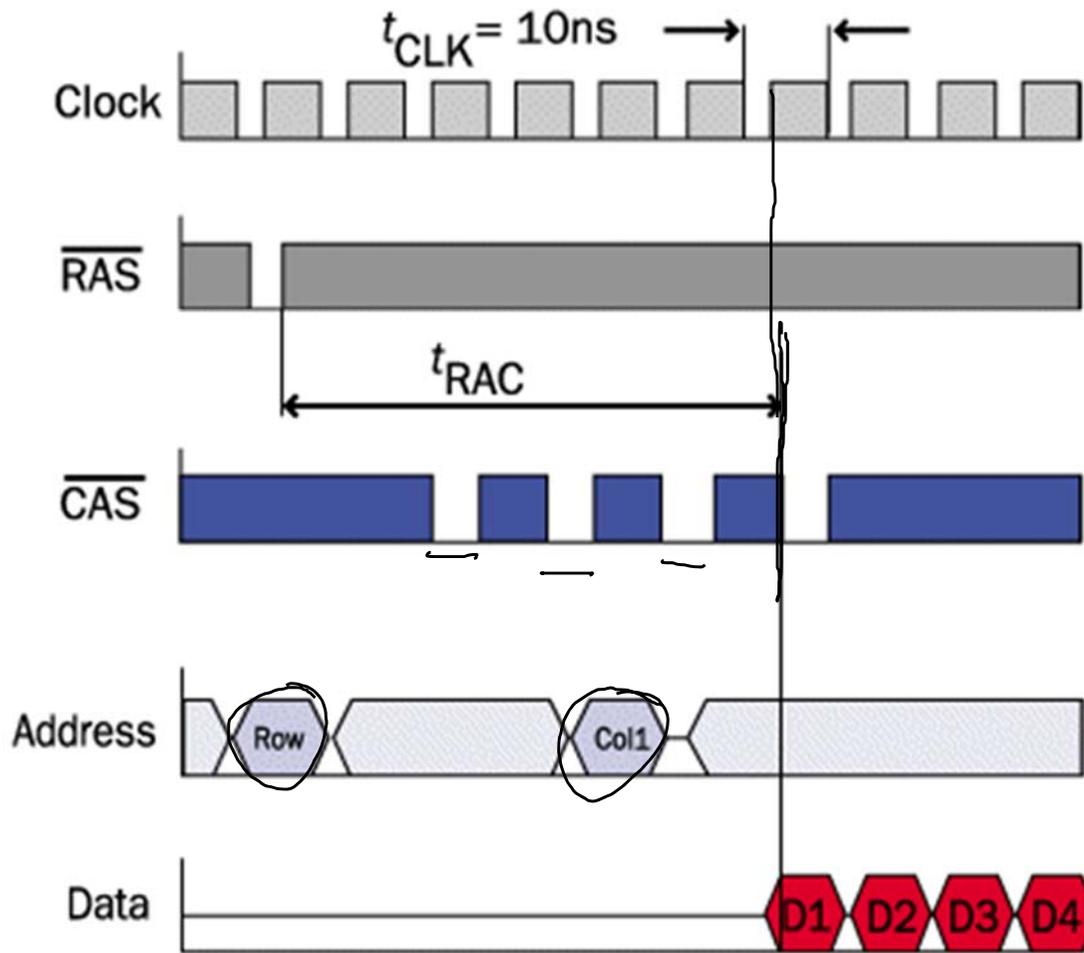
■ Organisation des Hauptspeichers

■ SDRAM:

- SDRAM-Technologie hat sich (durch intensive Unterstützung von Intel) schnell durchgesetzt und beherrscht heute den Speichermarkt
- Alle Ein- und Ausgangssignale sind synchron zum Systemtakt
- Prozessor, Chipsatz und Speicher kommunizieren über ein Bussystem, das synchron mit der gleichen Frequenz getaktet ist
- Intern sind SDRAMs aus zwei unabhängigen Speicherbänken aufgebaut (auch bis zu 4 Speicherbänke)
- Nach dem Anlegen der Zeilen- und Spaltenadresse, generiert die Speichersteuerung die nachfolgenden Adressen und führt einen alternierenden und überlappenden Zugriff auf die beiden Speicherbänke selbstständig aus

7.3 Systemaufbau

- Organisation des Hauptspeichers
 - SDRAM: Timing Diagramm



100 MHz-SDRAM können alle 10 ns Daten liefern

Datentransferrate:

- 500 Mbyte/sec (66 MHz)
- 800 Mbyte/s (PC100-Module)
- 1,06 Gbyte/s (PC133-Module)
- Praxis:
ca. 12 %
Leistungssteigerung bei
gleichem Prozessortakt
und 100 MHz statt 66
MHz

7.3 Systemaufbau

■ Organisation des Hauptspeichers

■ DDRAM

- Nächste Stufe der SDRAM-Entwicklung (SDRAM II)
- Bestehen intern aus vier unabhängigen Speicherbänken, die parallel „Instruktionen“ bearbeiten können
- Prinzip der DDR-DRAMs:
 - Erweiterung der Bandbreite durch Nutzung beider Taktflanken. Daten werden bei steigender und fallender Taktflanke übertragen → doppelter Datendurchsatz
 - Laufzeitverzögerungen sind sehr kritisch, deshalb wird zur Synchronisation nicht nur der Systemtakt, sondern auch ein bidirektionales Strobe-Signal (DQS) benutzt

7.3 Systemaufbau

■ Organisation des Hauptspeichers

■ DDRAM

- DDR-SDRAM (Double-Data-Rate-SDRAM)
- Die DDR-SDRAMs entsprechen in Bauform und Funktionsweise den "normalen" SDRAM-Modulen, jedoch werden im Gegensatz zu diesen die Speicherzellen zweimal pro Takt ausgelesen bzw. geschrieben. Dadurch erreichen die DDR-SDRAM Module den doppelten Datendurchsatz

- DDR2-SDRAM
- Vierfach Prefetching + Takt bis 266 MHz (DDR2-1066)
- DDR3-SDRAM
- Achtfach Prefetching + Takt bis 266 MHz (DDR3-2133)
- DDR4-SDRAM
- Achtfach Prefetching + Takt bis 400 MHz (DDR4-3200)

7.3 Systemaufbau

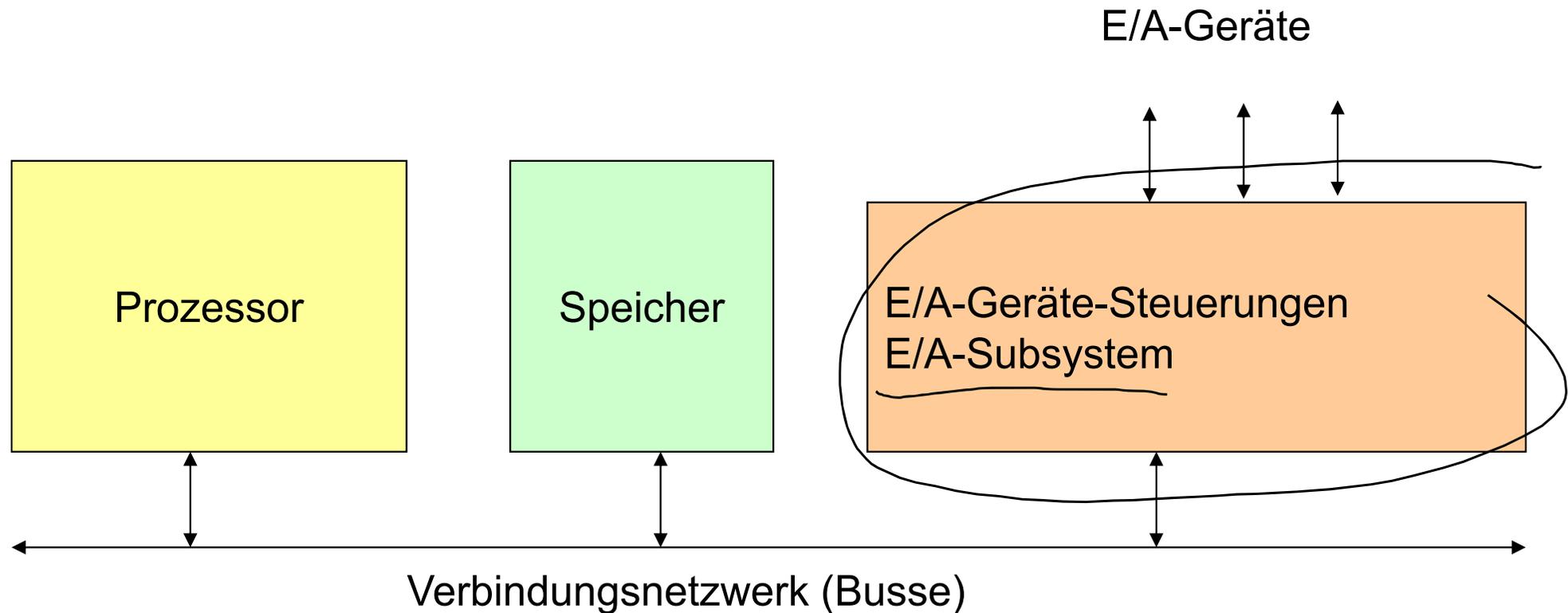
- **Organisation des Hauptspeichers**
 - **SLDRAM (Sync Link SDRAM)**
 - Weiterentwicklung der SDRAM Technologie, die höhere Busfrequenzen erlaubt und damit eine höhere Leistung ermöglicht

Kapitel 8

Ein-/Ausgabewerk

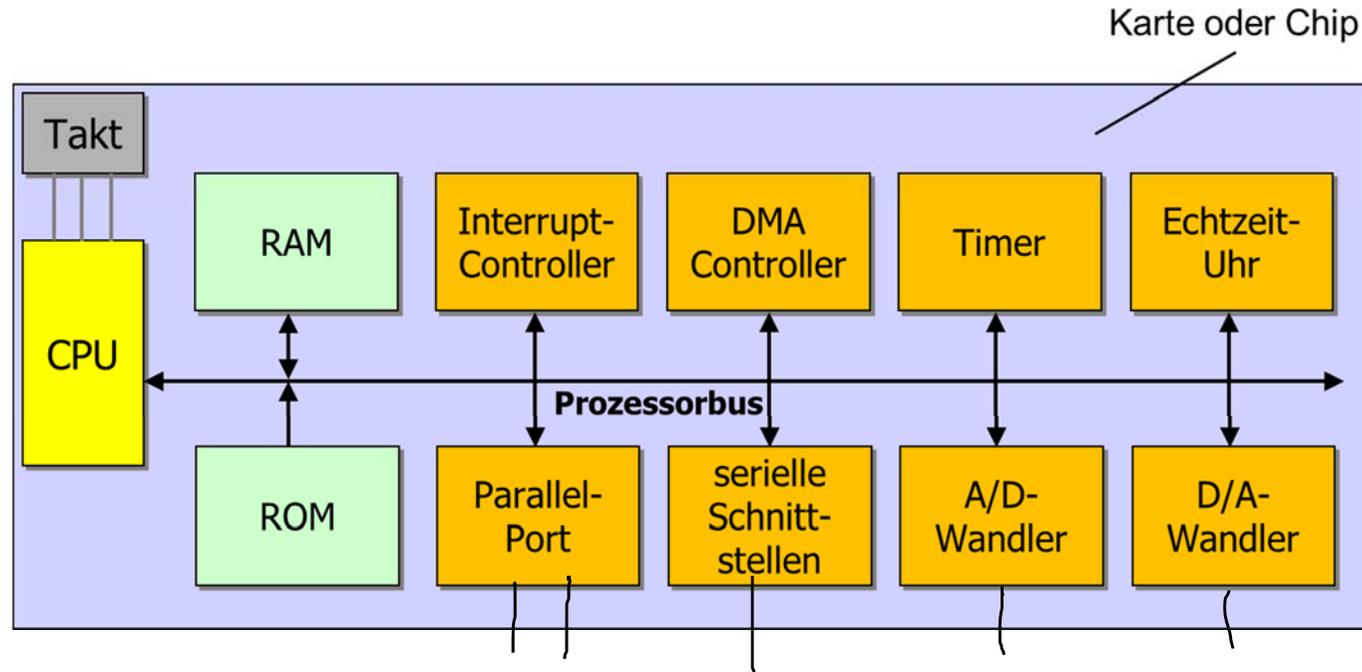
8. Ein-/Ausgabewerk

■ Einfaches Rechnermodell



8. Ein-/Ausgabewerk

■ Systemstruktur mit Schnittstellenbausteinen



- Die Ein- und Ausgabe (Übertragung der Daten zwischen dem Prozessor und der Peripherie) erfolgt über Schnittstellen-Einheiten
- Die Schnittstellen-Einheiten enthalten Register zur Pufferung der Daten zwischen dem Systembus und dem peripheren Übertragungsweg
- Adressierung der Schnittstellen-Einheiten, d.h. Anwahl der Systemkomponenten

8. Ein-/Ausgabewerk

■ Peripheriemerkmale

■ Parallele Schnittstellen

- Über parallele Ausgabekanäle können eine bestimmte Anzahl digitaler Signale gleichzeitig gesetzt oder gelöscht werden
- Zeichenweise Datenausgabe an Drucker (früher Centronics-Schnittstelle, IEEE 1284 Norm)
- Parallele Eingabekanäle ermöglichen das gleichzeitige Lesen von Signalen

■ Serielle Schnittstellen

- Kommunikation mit Peripherie unter Verwendung möglichst weniger Leitungen
- Synchrone und asynchrone serielle Kanäle
- Veraltet: RS 232
- Universal Serial Bus (USB)

8. Ein-/Ausgabewerk

■ Peripheriemerkmale

■ AD-Wandler (Analog/Digital-Wandler)

- Wandeln anliegende elektrische Analogsignale (z.B. eine von einem Temperatursensor erzeugte der Temperatur proportionale Spannung) in vom Mikroprozessor verarbeitbare digitale Werte
- Auflösung (in Bit) z. B. 12-Bit Wandler setzt einen Analogwert in eine 12 Bit breite Zahl um
 - Theoretisch bis zu 2^{12} Werte
 - Effektive Auflösung durch Fehlermöglichkeiten und Ungenauigkeiten eingeschränkt
- Wandlungszeit (in Mikro- oder Millisekundenbereich)

■ DA-Wandler (Digital/Analog-Wandler)

8. Ein-/Ausgabewerk

■ Peripheriemerkmale

■ Zähler

■ Aufgaben:

- Zählen von Ereignissen oder Messen von Zeiten
- Pulsweitenmodulation, Schrittmotorsteuerungen, Frequenz-, Drehzahl- oder Periodenmessungen (mehrere Einheiten)

■ Eigenschaften:

- Breite: 16, 24, oder 32 Bits
- Auf- oder abwärts zählen
- Zählereignis wird durch Spannungswechsel (positive oder negative Flanke) an einem Zählereingang ausgelöst

■ Zeitgeber: Anschluss eines Zählers an Takt

- Programmierung: Auslösen von Ereignissen bei Erreichen eines bestimmten Zählerzustandes

8. Ein-/Ausgabewerk

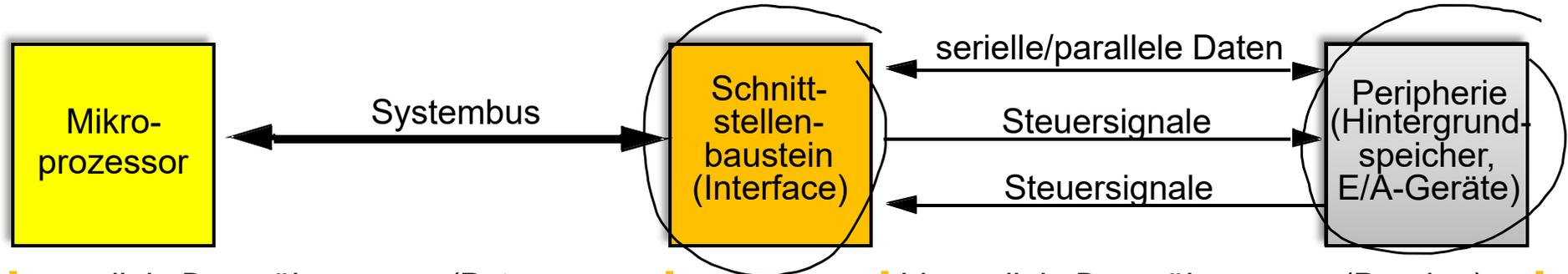
■ Peripheriemerkmale

■ DMA (Direct Memory Access)

- Transport von Daten zwischen Speicher und Peripherie ohne CPU
- Entlastung der CPU gerade bei großen Datenmengen
- CPU legt Randbedingungen (Speicheradresse, Peripherieadresse, Anzahl zu übertragender Zeichen) des Transfers fest
- Mehrere DMA-Kanäle
- Prioritätensteuerung

8. Ein-/Ausgabewerk

Ein-Ausgabeorganisation (Beispiel: parallele, serielle E/A)



parallele Datenübertragung (Byte-Format);
 für jedes Datenbit eines Zeichens steht eine eigene Datenleitung zur Verfügung

bitparallele Datenübertragung (Drucker)
bitserielle Datenübertragung (Tastatur, Maus)
blockweise Übertragung (Hard Disk)

Pufferung der Ein-/Ausgabedaten

Anpassung der unterschiedlichen Arbeitsgeschwindigkeiten der beteiligten Übertragungspartner

Umsetzung der Daten:

parallele Daten in serielle Daten

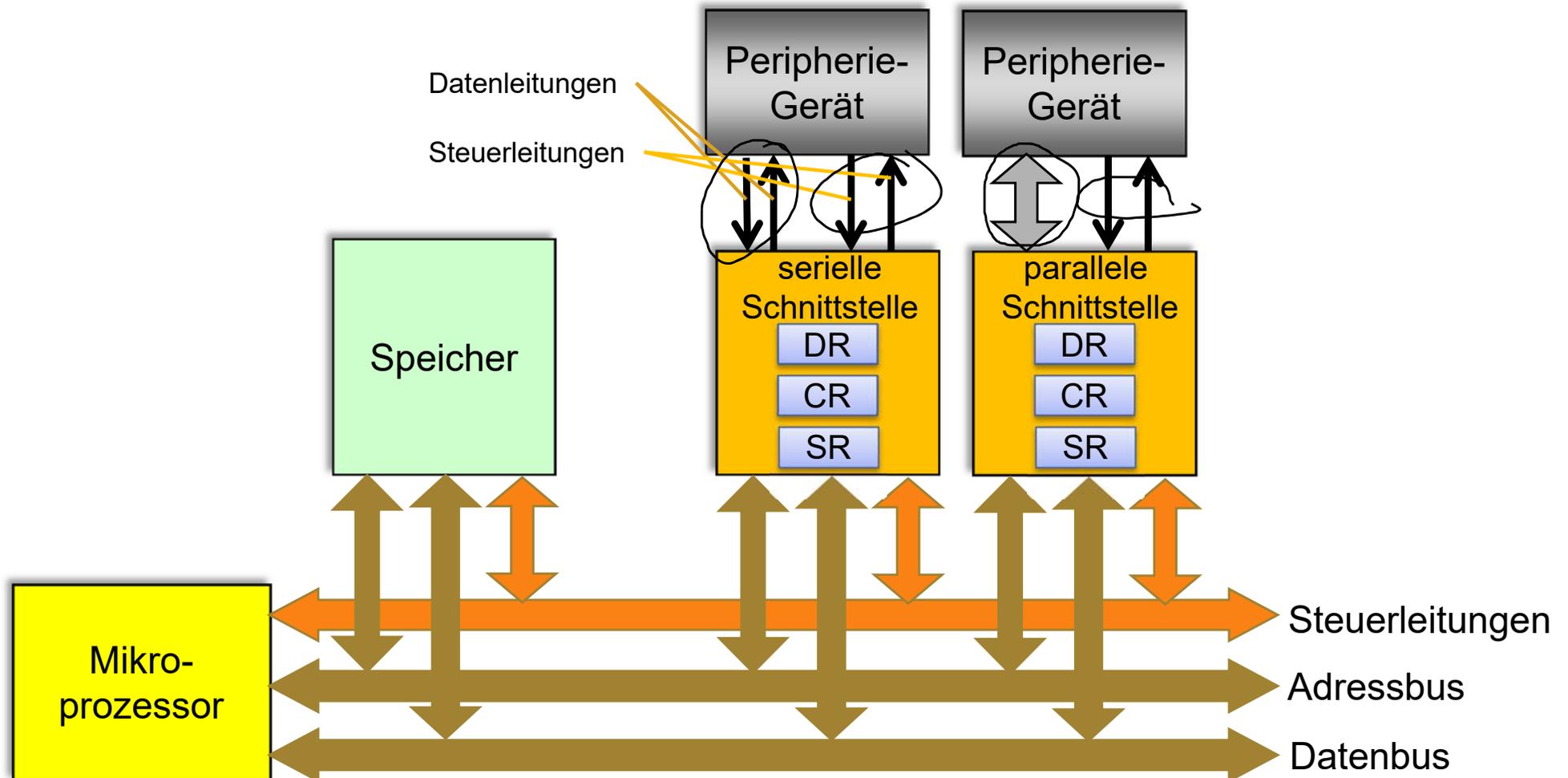
digitale Daten in analoge Daten und umgekehrt

Erzeugung von Signalen zur Steuerung eines Peripheriegerätes und zur Synchronisation der Daten

Annahme von Unterbrechungsanforderungen und Weiterleiten an den Prozessor

8. Ein-/Ausgabewerk

■ Adressierung der Systemkomponenten



8. Ein-/Ausgabewerk

■ Adressierung der Systemkomponenten

- Jeder programmierbare Schnittstellenbaustein erscheint dem Prozessor wie ein kleiner Satz von Registern (I/O Ports), die unter einem zusammenhängendem Block von Adressen (Portadressen) angesprochen werden können

■ Zwei Adressierungstechniken:

■ Isolierte Adressierung (Isolated IO):

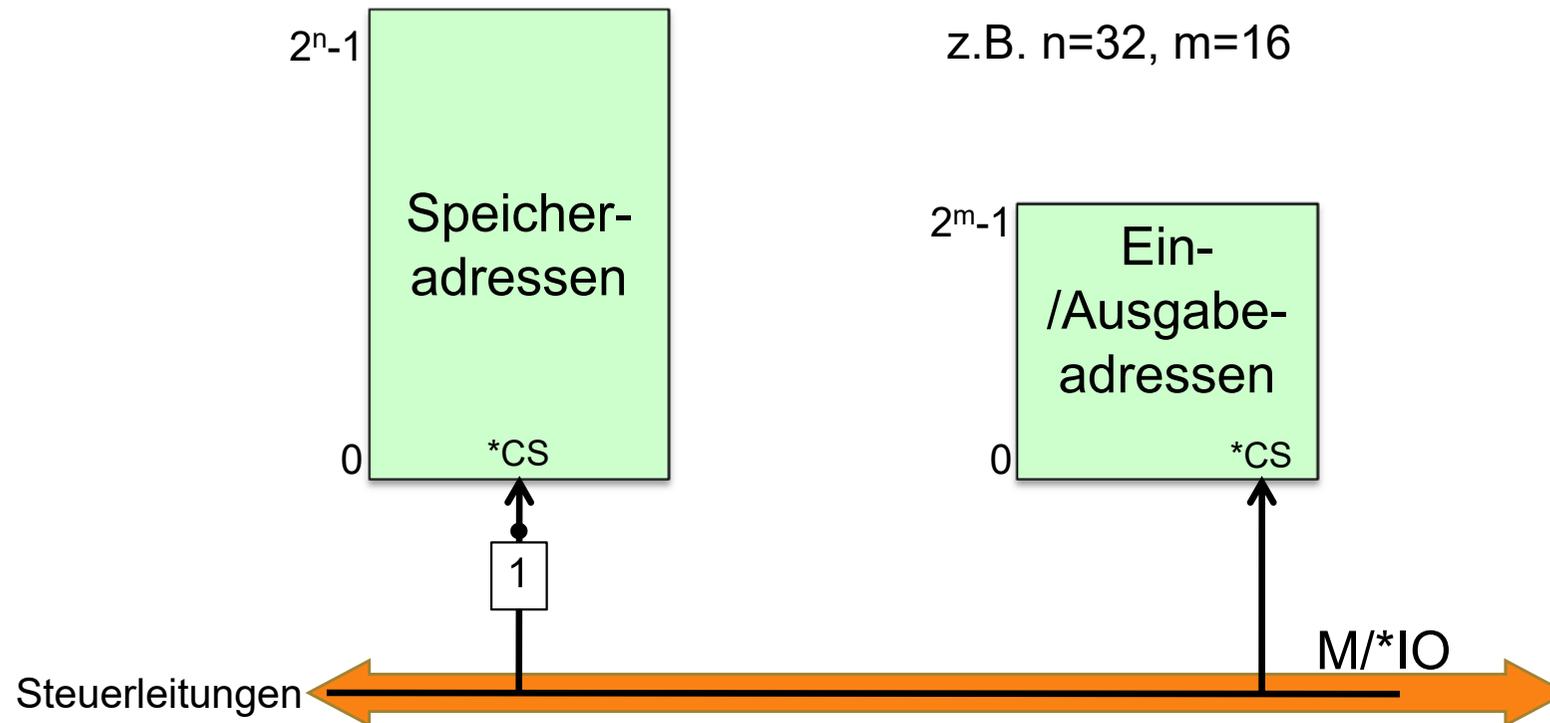
- Zwei getrennte Adressräume für Speicher und Ein-/Ausgabe
- Auswahl des Adressraumes durch ein zusätzliches Signal (memory input/output: M/*IO); z.B. Intel-Prozessoren

■ Speicherbezogene Adressierung (Memory Mapped I/O):

- Der Adressblock wird in einem gemeinsamen Adressraum mit allen anderen Speicheradressen untergebracht (RISC)

8. Ein-/Ausgabewerk

- Adressierung der Systemkomponenten
 - Isolierte Adressierung (Isolated IO):



8. Ein-/Ausgabewerk

■ Adressierung der Systemkomponenten

■ Isolierte Adressierung (Isolated IO): Beispiel: $m=16$

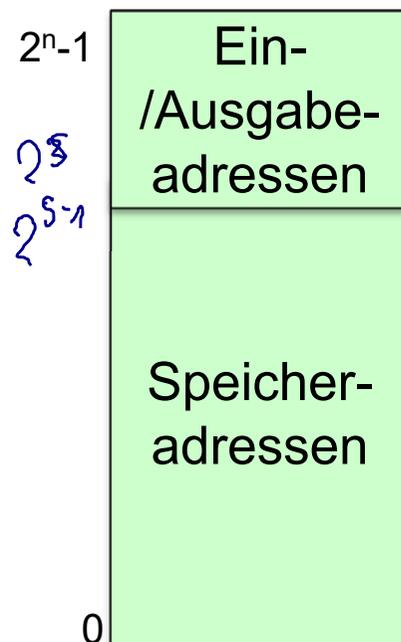
- Der I/O-Adressraum besteht aus 64K (~~2¹⁶~~) adressierbaren 8-Bit Ports
 \searrow 16
- Zwei aufeinanderfolgende 8-Bit Ports können als 16 Bit Port und vier aufeinanderfolgende 8-Bit Ports können als 32-Bit Ports behandelt werden
- Der Datentransport mit den Interface-Einheiten wird mit den speziellen Ein-/Ausgabebefehlen (**IN**, **OUT**) durchgeführt, wobei die Adresse des Quell- bzw. Zielregisters des Schnittstellenbausteins als Operand im Befehl steht
- Das Steuersignal $M/*IO$ zeigt an, ob es sich bei der vom Prozessor ausgegebenen Adresse um eine Speicher- oder um eine Interface-Adresse handelt

8. Ein-/Ausgabewerk

■ Adressierung der Systemkomponenten

■ Speicherbezogene Adressierung (memory mapped IO)

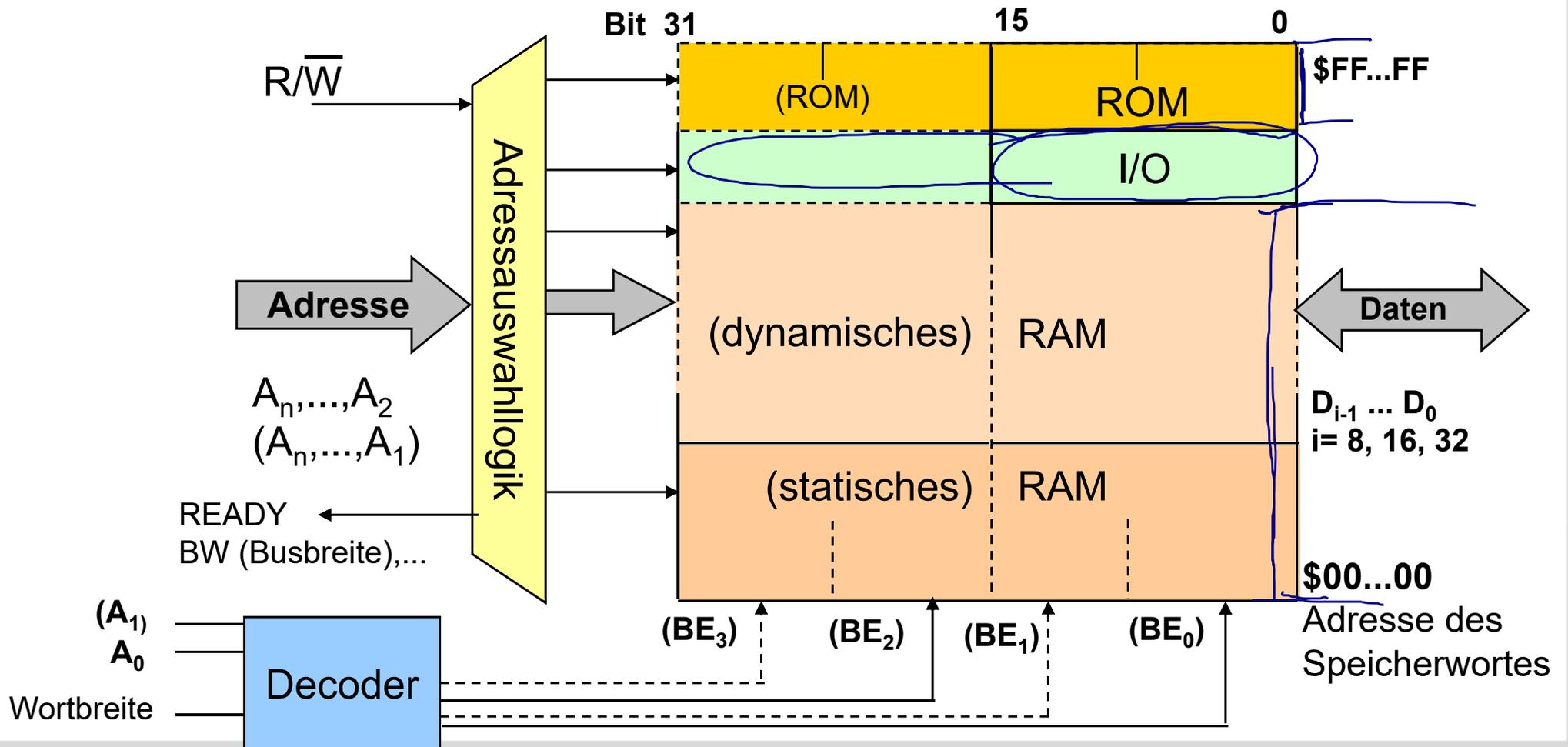
- Kein Unterschied zwischen Speicheradresse und Adresse eines Registers eines Peripherie-Bausteins
 - Steuerleitung M/*IO entfällt
- Häufig wird ein zusammenhängender Speicherbereich für Peripherie-Bausteine verwendet: I/O-Page
- Keine Ein-/Ausgabebefehle notwendig



8. Ein-/Ausgabewerk

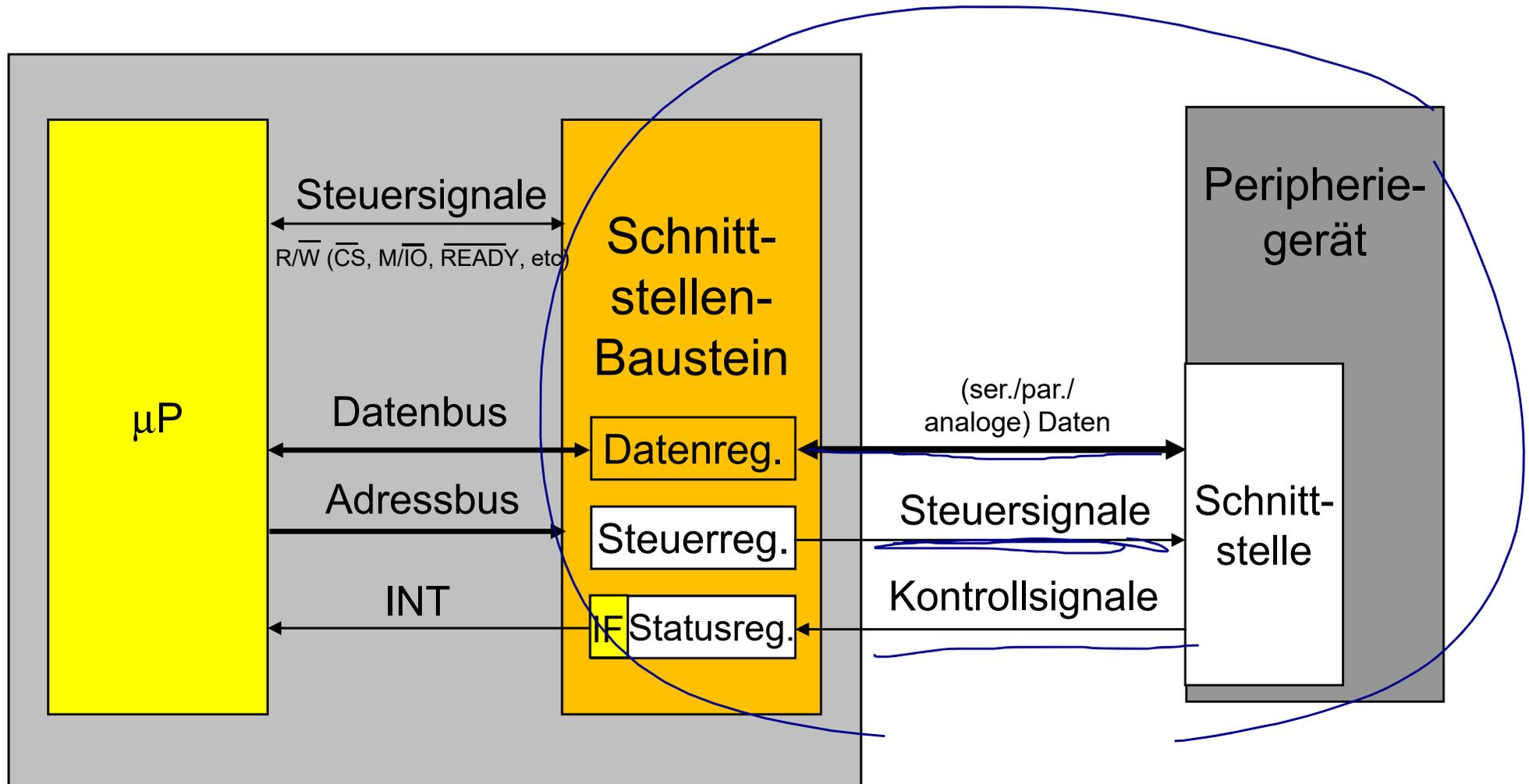
■ Adressierung der Systemkomponenten

- Speicherbezogene Adressierung (memory mapped IO): Beispiel Speicherbelegungsplan



8. Ein-/Ausgabewerk

- Schnittstellenbaustein
- Grundlegender Aufbau



8. Ein-/Ausgabewerk

■ Schnittstellenbaustein

■ Grundlegender Aufbau

■ Datenleitungen

- unidirektional/bidirektional, parallel/seriell

■ Steuerleitungen

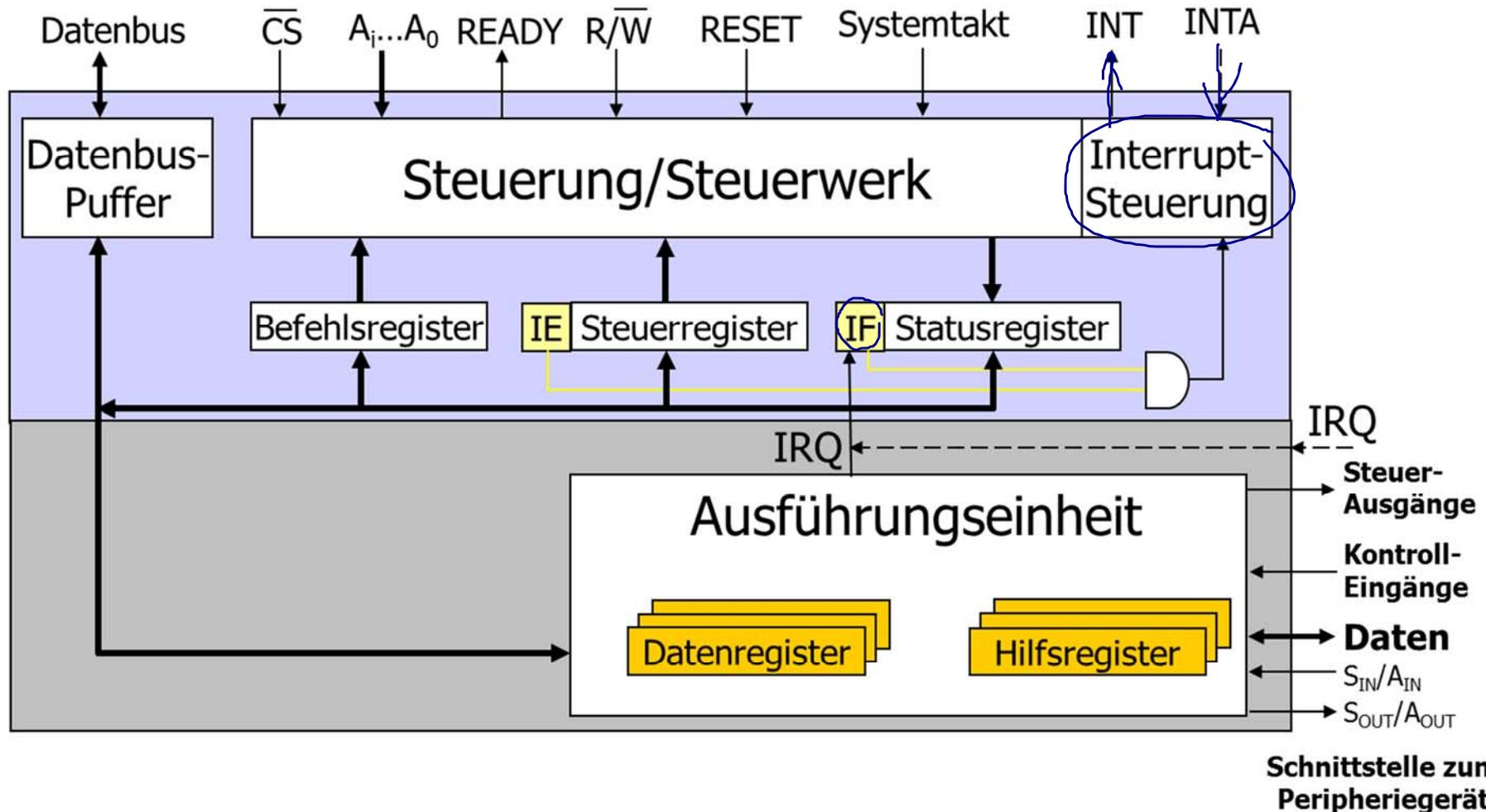
- zum Steuern des Peripheriegeräts vom Prozessor, z.B. Ein-/Ausschalten des Peripheriegeräts, Synchronisation der Übertragung

■ Melde-/Kontrollleitungen

- um Informationen über den Zustand des Peripheriegeräts zu übermitteln, z.B. Peripheriegerät bereit, Störung, ...

8. Ein-/Ausgabewerk

- Schnittstellenbaustein
- Grundlegender Aufbau



8. Ein-/Ausgabewerk

- **Schnittstellenbaustein**
- **Grundlegender Aufbau**
 - **Steuerwerk:**
 - Steuerung der internen Komponenten (Register, Multiplexer, ...) und Datenpfade
 - Schnittstelle zum Prozessor
 - Register zur Bausteinprogrammierung: Statusregister (Bausteinstatus), Steuerregister (Betriebsart), Befehlsregister (aktuelle Operation)
 - **Ausführungseinheit:**
 - Stellt die spezifischen Bausteinfunktionen zur Verfügung
 - Verschieden Daten- und Hilfsregister (je nach Funktion)
 - Schnittstelle zum Peripheriegerät

8. Ein-/Ausgabewerk

■ Ein- / Ausgabeverfahren

■ Programmierte Ein-/Ausgabe:

- Prozessor fragt ständig das Statusregister des Peripheriebausteins ab, ob er bereit ist ein Datum zu übertragen
- Zwischen den Übertragungsanforderungen kann der Prozessor andere Aufgaben erledigen oder in einer Schleife ausschließlich das Statusregister abfragen (busy waiting: Aktives Warten)
- Vorteil
 - hohe Reaktionsgeschwindigkeit, insbesondere bei nur einem Peripheriegerät und busy waiting
- Nachteil
 - Reaktionsverzögerung, wenn gleichzeitig mehrere Peripheriegeräte abgefragt werden müssen

8. Ein-/Ausgabewerk

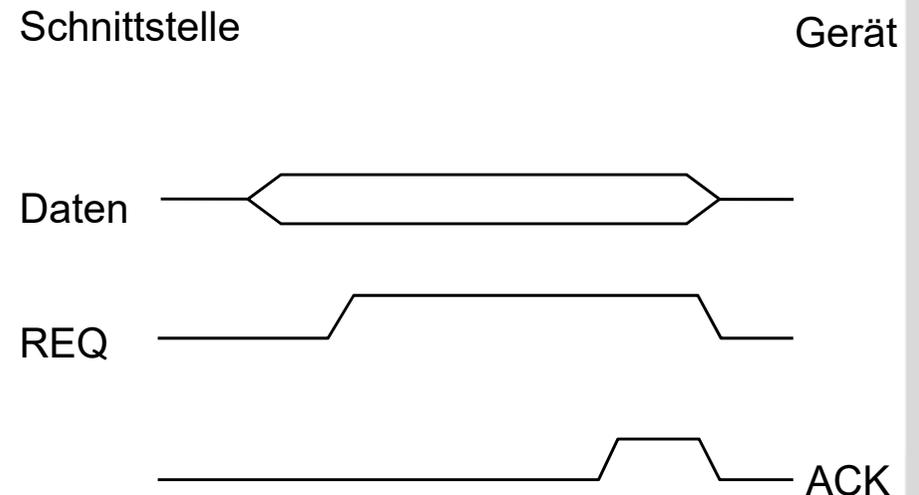
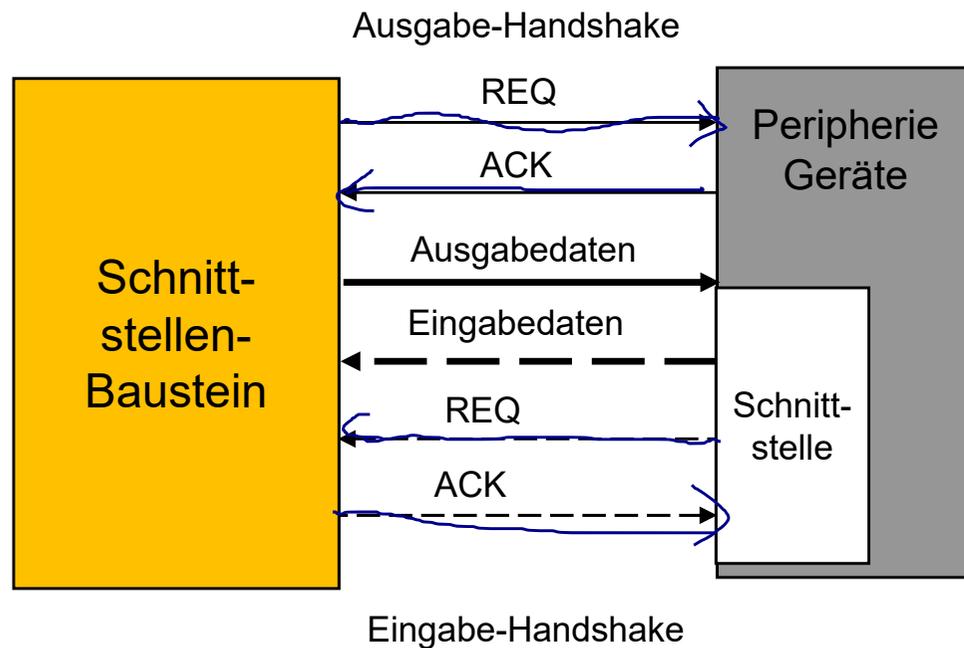
■ Ein- / Ausgabeverfahren

■ Interrupt gesteuerte Ein-/Ausgabe:

- jeder Datentransfer vom oder zum Peripheriegerät wird über die INT-Leitung angefordert
- Vorteil
 - Prozessor kann zwischen den Datentransfers andere Aufgaben erledigen (wichtig bei langsamen Peripheriegeräten)
- Nachteil
 - erhöhter Zeitaufwand durch die Programmumschaltung zur Interrupt-Routine

8. Ein-/Ausgabewerk

- Synchronisation der Datenübertragung zwischen Schnittstelle und Peripheriegerät
 - Hardware- oder Softwaremäßig
 - Beispiel für eine hardwaremäßige Synchronisation:



8. Ein-/Ausgabewerk

- **Synchronisation der Datenübertragung zwischen Schnittstelle und Peripheriegerät**
 - Vollduplex-Betrieb
 - Getrennte Datenwege für beide Übertragungsrichtungen
 - Halbduplex-Betrieb
 - Daten werden bidirektional über dieselben Leitungen ausgetauscht
- Für jede Richtung eine Request-Leitung (REQ) und ein Acknowledge-Leitung (ACK)
- Schnittstellenbaustein legt das Datum auf seine Datenleitungen; durch das REQ-Signal zeigt er, dass er die Übernahme der Daten durch das Peripheriegerät erwartet
- Das Gerät zeigt die Übernahme der Daten durch das ACK-Signal